

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-062520
 (43)Date of publication of application : 28.02.2002

(51)Int.Cl. G02F 1/133
 G09G 3/20
 G09G 3/36

(21)Application number : 2000-248390

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 18.08.2000

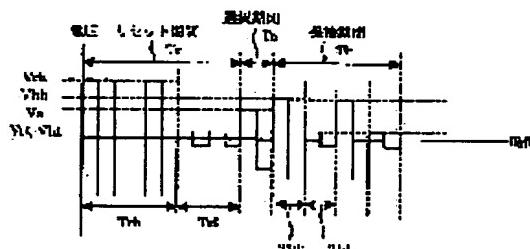
(72)Inventor : HIJI NAOKI
 YAMAMOTO SHIGERU
 HIKIJI TAKETO
 SUZUKI SADAICHI

(54) CHOLESTERIC LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cholesteric liquid crystal display device which is re-writable at a high speed.

SOLUTION: The cholesteric liquid crystal display device is provided with a cholesteric liquid crystal display element 10 forming a pixel at an intersectional part of a scanning electrode group 23 and a data electrode group 24 and a driving circuit for successively applying driving voltage to the cholesteric liquid crystal display element to write a display content. The driving voltage comprises a resetting period T_r for transferring the state of the cholesteric liquid crystal to an initial alignment state, a selecting period T_s for determining a final alignment state of the liquid crystal and a holding period T_h for helping the transfer to the final alignment state and the holding period T_h consists of a high voltage applying period T_{hh} and a low voltage applying period T_{hl} which are alternately repeated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-62520

(P2002-62520A)

(43)公開日: 平成14年2月28日 (2002.2.28)

(51)Int.Cl.

G 02 F 1/133
G 09 G 3/20
3/36

識別記号

5 6 0
6 2 1

F I

G 02 F 1/133
G 09 G 3/20
3/36

テマコト(参考)
5 6 0 2 H 0 9 3
6 2 1 B 5 C 0 0 6
5 C 0 8 0

審査請求 未請求 請求項の数10 O.L. (全 18 頁)

(21)出願番号 特願2000-248390(P2000-248390)

(22)出願日 平成12年8月18日 (2000.8.18)

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号

(72)発明者 氷治 直樹

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 山本 澄

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(74)代理人 100090583

弁理士 田中 清 (外1名)

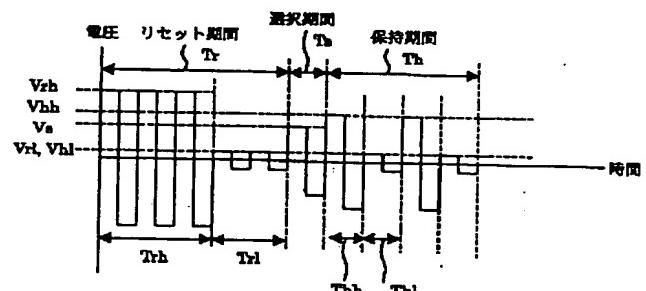
最終頁に続く

(54)【発明の名称】 コレスティック液晶表示装置

(57)【要約】

【課題】 高速に書き換え可能なコレスティック液晶表示装置を提供する。

【解決手段】 コレスティック液晶表示装置は、走査電極群23とデータ電極群24との交差部で画素を形成するコレスティック液晶表示素子10、およびコレスティック液晶表示素子に駆動電圧を順次印加して表示内容を書き込む駆動回路とを備える。この駆動電圧は、コレスティック液晶を初期配向に遷移させるためのリセット期間 T_r 、液晶の最終的な配向状態を決定するための選択期間 T_s 、および最終的な配向状態への遷移を補助するための保持期間 T_h からなり、保持期間 T_h は、交互に繰り返す高電圧印加期間 T_{hh} と低電圧印加期間 T_{hl} よりなる。



(2)

1

【特許請求の範囲】

【請求項1】 コレスティック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧をコレスティック液晶表示素子に順次印加して表示内容の書き込みを行うコレスティック液晶表示装置であって、前記保持期間が交互に繰り返す高電圧印加期間と低電圧印加期間とを含むことを特徴とするコレスティック液晶表示装置。

【請求項2】 前記低電圧印加期間が0.1ms以下であることを特徴とする請求項1記載のコレスティック液晶表示装置。

【請求項3】 コレスティック液晶をプレーナ配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧をコレスティック液晶表示素子に順次印加して表示内容の書き込みを行うことを特徴とするコレスティック液晶表示装置。

【請求項4】 走査電極群とデータ電極群との交差部で画素を形成するコレスティック液晶表示素子と、コレスティック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための交互に繰り返す高電圧印加期間と低電圧印加期間よりなる保持期間を備えた駆動電圧を前記コレスティック液晶表示素子に順次印加して表示内容を書き込む駆動回路とを有することを特徴とするコレスティック液晶表示装置。

【請求項5】 前記選択期間および保持期間の駆動電圧が、選択期間の長さだけずらしたタイミングで順次印加されることを特徴とする請求項4記載のコレスティック液晶表示装置。

【請求項6】 前記リセット期間、選択期間および保持期間の駆動電圧が、選択期間の長さだけずらしたタイミングで順次印加されることを特徴とする請求項4記載のコレスティック液晶表示装置。

【請求項7】 走査電極群とデータ電極群との交差部で画素を形成するコレスティック液晶表示素子と、コレスティック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧を前記コレスティック液晶表示素子に順次印加して表示内容を書き込む駆動回路とを有するコレスティック液晶表示装置であって、前記駆動電圧が、前記リセット期間では高電圧およびそれに続く低電圧、前記選択期間では高電圧、および前記保持期間では交互に繰り返す高電圧と低電圧からなることを特徴とするコレスティック液晶表示装置。

2

【請求項8】 前記駆動電圧が、前記走査電極群の複数の走査電極に同時に印加されることを特徴とする請求項4～7のいずれかに記載のコレスティック液晶表示装置。

【請求項9】 走査電極群とデータ電極群との交差部で画素を形成するコレスティック液晶表示素子に画像を書き込む画像書き込み装置であって、コレスティック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための交互に繰り返す高電圧印加期間と低電圧印加期間とを含む保持期間を備えた駆動電圧を前記コレスティック液晶表示素子に順次印加することを特徴とする画像書き込み装置。

【請求項10】 コレスティック液晶を初期配向に遷移させるための電圧と、前記液晶の最終的な配向状態を決定するための電圧と、前記最終的な配向状態への遷移を補助するための高電圧および低電圧を交互に繰り返す電圧とをコレスティック液晶表示素子に順次印加して表示内容の書き込みを行うことを特徴とする画像書き込み方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電子機器の表示パネルや画像の記録・表示媒体として用いられるコレスティック液晶表示装置に関する。

【0002】

【従来の技術】 コレスティック液晶表示装置は、外光の反射を利用して明るい表示ができるよう、電圧を切っても表示内容が維持できるメモリー性を有すること、メモリー性を利用して単純マトリクス駆動で大容量表示ができるよう、駆動にアクティブマトリクスを必要としないため樹脂などのフレキシブル基板を利用可能であること、などの特徴を有することから、近年、電子新聞や電子書籍などの電子ペーパー用の表示装置として期待を集めている。

【0003】 コレスティック液晶は螺旋状に配向した棒状分子からなり、螺旋ピッチに対応した波長の光を反射する選択反射現象を示す。この現象を利用したものがコレスティック液晶表示装置であり、それは図16に断面構造を示すように、透明電極21、22をそれぞれ設けた2枚の基板11、12の間にコレスティック液晶30を挟持したセルよりなり、セルの観察側と反対面に選択反射波長を吸収する光吸収層41を設けたものである。以下、光吸収層41は黒色であるものとして説明する。

【0004】 コレスティック液晶の配向状態は、図15に示すプレーナ(P)配向、フォーカルコニック(F)配向、ホメオトロピック(H)配向の3種類を取りうる。P配向は螺旋軸が基板面にほぼ垂直に配向した状態であり、選択反射波長により呈色する。F配向は螺旋軸

(3)

3

が基板面にほぼ平行に配向した状態であり、これは無色であるため光吸収層41の黒色が観測される。H配向は螺旋構造が解けて分子が基板面と垂直に配向した状態であり、これも無色であるため光吸収層41の黒色が観測される。

【0005】電極21、22間に電圧を印加した場合、電圧がVT1以下ではP配向とF配向はともに安定に存在し双安定性を示す。これより電圧を上げていくとF配向には変化がないが、P配向は徐々にF配向に遷移し、電圧VT2以上では完全にF配向に遷移する。さらに高い電圧VT3以上を印加すると、H配向に遷移はじめ、電圧VT4以上では完全にH配向に遷移する。F配向状態から電圧を急激に除去してもF配向が維持されるが、H配向状態から電圧を急激に除去するとP配向に遷移する。

【0006】以上の遷移特性の結果として、図18に示すように時間Tの間だけ電圧を印加して一定時間経過後に反射率を測定すると、図19のような電圧-反射率特性が得られる。すなわち、初期配向がP配向の場合、電圧VT1以下では高反射率を示し、VT1以上VT2以下では徐々に反射率が低下し、VT2以上VT3以下では低反射率を示し、VT3以上VT4以下では反射率が上昇し、VT4以上では初期配向と同じ高反射率を示す。一方、初期配向がF配向の場合、電圧VT3以下では低反射率を示し、VT3以上VT4以下では反射率が上昇し、VT4以上では高反射率を示す。

【0007】上記の電圧-反射率特性は電圧印加時間Tに依存して変化する。初期配向がP配向の場合、図21に示すように、Tが短くなるにしたがって電圧-反射率特性全体が高電圧側へシフトするとともに、VT2以上VT3以下の電圧範囲での反射率が上昇する。これはTが短くなることでF配向への遷移が不完全になりF配向とP配向が微視的に混合した状態となるためである。また、初期配向がF配向の場合、図20に示すようにVT4が高電圧側へシフトして、VT3以上VT4以下の電圧範囲が拡大する。

【0008】上記の電圧-反射率特性を利用して、コレステリック液晶表示装置は、走査電極とデータ電極の交差部を画素とする単純マトリクス電極を用いて画像を書き込むことができる。例として、図17に16×16画素の単純マトリクス構成を示す。

【0009】特開平11-326871号公報には、はじめに全走査電極にF配向に遷移させるためのリセット電圧を印加した後に、一走査電極ずつ順次選択電圧を与えるFCR(Focal Conic Reset)法と名付けられた書き込み方法が開示されている。例として、走査電極本数が16本の場合の走査電極に与えられる電圧の時間変化を図13に示す。走査電極には、リセット電圧としてはVT2以上VT3以下の電圧Vrfを与えるか、または一旦VT4以上の電圧Vrhを与えて

4

H配向に遷移させた後にVT2以上VT3以下の電圧Vrfを与えてF配向ヘリセットする。走査電極には選択電圧として(VT3+VT4)/2の電圧Vsを与え、それに同期してデータ電極に(VT3-VT4)/2または(-VT3+VT4)/2をデータ電圧として与える。それにより画素には走査電圧とデータ電圧との差であるVT4またはVT3が印加されて、P配向またはF配向に選択的に遷移させることができる。非選択走査電極には電圧ゼロを与える。このとき非選択走査電極上の画素には(VT3-VT4)/2または(-VT3+VT4)/2が印加される。 $| (VT3-VT4)/2 | < VT1$ とすることで、すでに書き込んだ画素の反射率を変化させることなく全画素に書き込むことができる。走査線数をNとすると、全書き込み時間Tfは、

【0010】

【数1】 Tf = Tr + N × Ts

【0011】とあらわされる。ここで、Trはリセット期間、Tsは一走査線への選択期間である。別の書き込み方法として、米国特許5,748,277号公報には

20 DDS(Dynamic Drive Scheme)法と名付けられた方法が開示されている。DDS法における駆動電圧波形は図22に示すように、一連のリセット期間、選択期間、保持期間からなる。リセット期間の印加電圧VrhはH配向に遷移させるための電圧である。選択期間に印加する電圧Vsによって、H配向を維持するか、P配向への遷移を開始するかを選択する。保持期間にはH配向を維持するとともに、P配向をF配向に遷移させる電圧Vhを印加する。VsがH配向を維持するように選ばれた場合、保持電圧Vhを除去後にP配向に遷移して高反射率となる。一方、VsがP配向への遷移を開始するように選ばれた場合、保持期間中にF配向に遷移し低反射率となる。Vs=0およびVs=Vhのときの電圧Vhに対する電圧-反射率特性を図23に示す。Vs=0の場合の電圧-反射率特性は図19の初期配向がP配向の場合に等しくなる。Vs=Vhの場合はVs=0の場合の電圧-反射率特性を低電圧側へシフトした形状となる。VhはVT5以上VT3以下に選ばれる。電圧Vsに対する電圧-反射率特性は図24のようになり、VT6からVT7の範囲で反射率を制御することができる。

【0012】この書き込み方法は単純マトリクスパネルに適用できる。例として、走査電極本数が16本の場合の走査電極に与えられる電圧のタイミング図を図14に示す。走査電極にはリセット期間Tr、選択期間Ts、保持期間Thに対応した駆動電圧を、選択期間Tsの長さだけタイミングをずらして順次走査電極に印加する。選択期間中には走査電極には電圧(VT6+VT7)/2が与え、それに同期してデータ電極には電圧(VT6-VT7)/2または-(VT6-VT7)/2を与える。それにより画素には走査電圧とデータ電圧との差で

(4)

5

ある $V_T 6$ または $V_T 7$ が印加されて P 配向または F 配向に選択的に遷移させることができる。 $| (V_T 6 - V_T 7) / 2 | < V_T 1$ とすることで、すでに書き込んだ画素の反射率を変化させることなく全面素に書き込むことができる。全書き込み時間 T_f は、

【0013】

$$【数2】 T_f = T_r + N \times T_s + T_h$$

【0014】で与えられる。FCR 法、DDS 法のいずれも、コレステリック液晶のメモリー性を利用して、すでに書き込んだ画素の反射率を変化させることなく次の走査電極上の画素に書き込むことができる。このため、走査電極の本数に制限がなく大容量表示が可能となる。

【0015】

【発明が解決しようとする課題】FCR 法、DDS 法のいずれも走査電極の本数が増大するにしたがって全書き込み時間 T_f が増加する。この場合、(数1)、(数2) の第 2 項の寄与、すなわち選択時間の項 $N \times T_s$ が支配的となる。選択時間 T_s は液晶の物性定数、セルパラメータ、印加電圧等に依存するため一概には言えないが、通常、FCR 法で $1 \sim 10 \text{ ms} / 1 \text{ line}$ 、DDS 法で $0.3 \sim \text{数ms} / 1 \text{ line}$ である。たとえば、走査線数が 1000 本の場合、書き換え時間は FCR 法で $1 \sim 10 \text{ 秒}$ 、DDS 法で $0.3 \sim \text{数秒}$ となる。低温では液晶の粘度上昇に起因してさらに数倍の時間がかかる。用途によってはこの書き換え時間では必ずしも十分ではなく、さらなる書き換え時間の短縮が望まれていた。

【0016】従って本発明の目的は、高速に書き換え可能なコレステリック液晶表示装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的は、コレステリック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧をコレステリック液晶表示素子に順次印加して表示内容の書き込みを行うコレステリック液晶表示装置であって、前記保持期間が交互に繰り返す高電圧印加期間と低電圧印加期間とを含むコレステリック液晶表示装置により、達成される。ここで前記低電圧印加期間は、 0.1 ms 以下であることが好ましい。

【0018】また、上記目的は、コレステリック液晶をプレーナ配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧をコレステリック液晶表示素子に順次印加して表示内容の書き込みを行うコレステリック液晶表示装置により、達成される。

【0019】本発明に係るコレステリック液晶表示装置は、走査電極群とデータ電極群との交差部で画素を形成

6

するコレステリック液晶表示素子と、コレステリック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための交互に繰り返す高電圧印加期間と低電圧印加期間よりなる保持期間を備えた駆動電圧を前記コレステリック液晶表示素子に順次印加して表示内容を書き込む駆動回路とを有する。ここで、前記選択期間および保持期間の駆動電圧を選択期間の長さだけずらしたタイミングで順次印加することができ、また、前記リセット期間、選択期間および保持期間の駆動電圧を選択期間の長さだけずらしたタイミングで順次印加することもできる。

【0020】また、本発明に係るコレステリック液晶表示装置は、走査電極群とデータ電極群との交差部で画素を形成するコレステリック液晶表示素子と、コレステリック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧を前記コレステリック液晶表示素子に順次印加して表示内容を書き込む駆動回路とを有しており、前記駆動電圧は、前記リセット期間では高電圧およびそれに続く低電圧、前記選択期間では高電圧、および前記保持期間では交互に繰り返す高電圧と低電圧からなる。これらの駆動電圧は、走査電極群の複数の走査電極に同時に印加してもよい。

【0021】本発明に係る画像書き込み装置は、コレステリック液晶を初期配向に遷移させるためのリセット期間、前記液晶の最終的な配向状態を決定するための選択期間、および前記最終的な配向状態への遷移を補助するための交互に繰り返す高電圧印加期間と低電圧印加期間とを含む保持期間を備えた駆動電圧をコレステリック液晶表示素子に順次印加するものである。また、本発明に係る画像書き込み方法は、コレステリック液晶を初期配向に遷移させるための電圧と、前記液晶の最終的な配向状態を決定するための電圧と、前記最終的な配向状態への遷移を補助するための高電圧および低電圧を交互に繰り返す電圧とをコレステリック液晶表示素子に順次印加して表示内容の書き込みを行うものである。

【0022】このように構成することにより、高速に書き換え可能なコレステリック液晶表示装置を得ることができる。また、FCR 法、DDS 法のいずれもデータ電極への印加電圧が $V_T 1$ を超えるとすでに書き込んだ画素の反射率を変化させてクロストークを生ずるおそれがあるが、本発明では、電圧-反射率特性の急峻性が向上され、データ電圧の低減によりクロストークを少なくすることができる。

【0023】

【発明の実施の形態】<実施形態 1> 本発明の実施形態 1 における画素への印加電圧波形の一例を図 1 に示す。同図に示すように、印加電圧波形は、P 配向へ遷移させ

(5)

7

るためのリセット期間 T_r 、選択期間 T_s 、および保持期間 T_h からなる。

【0024】リセット期間 T_r では、一旦H配向へ遷移させた後にP配向へ遷移させるために、まず V_{T4} 以上の電圧 $V_{r\ h}$ を時間 $T_{r\ h}$ 印加後、 V_{T1} 以下の電圧 $V_{r\ l}$ を時間 $T_{r\ l}$ 印加する。 $V_{r\ l}$ はゼロでもよい。H配向からP配向への遷移は、トランジエント・プレーナ(TP)配向と呼ばれる長ピッチのP配向状態を経由することが知られているが、 $T_{r\ l}$ はH配向からTP配向へ遷移するまでの時間以上とすればよく、P配向へ遷移が完全に完了するまで待つ必要はない。

【0025】つぎに選択期間 T_s では、電圧 V_s として V_{T3} 以上 V_{T4} 以下の電圧を印加して、H配向へ遷移させるかF配向へ遷移させるかを選択する。選択期間 T_s の長さはこの遷移に必要な時間とする。

【0026】保持期間 T_h は、交互に繰り返す高電圧印加期間と低電圧印加期間とからなる。高電圧印加期間は電圧 $V_{h\ h}$ を時間 $T_{h\ h}$ の間、低電圧印加期間は電圧 $V_{h\ l}$ を $T_{h\ l}$ の間印加する。 $V_{h\ l}$ は V_{T1} 以下に設定しそれぞれともよい。 $V_{h\ h}$ と $V_{h\ l}$ は、保持期間 T_h における実効電圧が V_{T5} 以上 V_{T3} 以下となるように選ぶ。これによってH配向とF配向の双安定状態となり、H配向をH配向のまま、F配向をF配向のまま維持するとともに、P配向をF配向へ遷移することができる。保持期間におけるH配向とF配向の双安定性を維持するために、低電圧印加時間 $T_{h\ l}$ は、H配向からTP配向への遷移時間より短く設定する必要がある。液晶の配向弹性定数、粘度、ピッチ等によって異なるため一概に言うことはできないが、たとえば、 $T_{h\ h} = T_{h\ l}$ として測定した一例を図10に示す。同図のように、 $T_{h\ l}$ は少なくとも1ms以下でなければ双安定性を得ることはできず、0.1ms以下が好ましかった。一般に $T_{h\ l}$ は0.1ms以下が望ましい。保持期間が終了後、画素への印加電圧をゼロとする。これによってH配向の画素はP配向へ、F配向の画素はF配向のままとなり、画像表示ができる。

【0027】図1の印加波形は単純マトリクス構造を有するコレステリック液晶表示素子10に適用できる。例として、図17に示す走査電極数16の単純マトリクスピネルに適用する場合の、走査電極群23への電圧印加タイミングを図4に示す。本実施形態では、まず、リセット期間 T_r は図2(b)に示すように、全走査電極に同時にリセット電圧 $V_{r\ h}$ を印加しH配向に遷移させ、つづいて電圧 $V_{r\ l}$ を印加してP配向へ遷移させる。このときデータ電極への印加電圧はゼロとする。次に選択期間 T_s と保持期間 T_h よりなる駆動電圧を、図4に示すように、選択期間の長さ T_s だけずらしたタイミングで順次走査電極に印加する。選択期間中、走査電極には走査電圧として電圧 $(V_{T6} + V_{T7}) / 2$ を印加し、これに同期してデータ電圧としてデータ電極に電圧 $(V_{T6} - V_{T7}) / 2$ または $-(V_{T6} - V_{T7}) / 2$ を与える。それにより画素には走査電圧とデータ電圧との差である V_{T6} または V_{T7} が印加されてP配向またはF配向に選択的に遷移させることができる。データ電極に $(V_{T6} - V_{T7}) / 2$ と $-(V_{T6} - V_{T7}) / 2$ の中間の電圧を印加することで階調表示を行うこともできる。 $| (V_{T6} - V_{T7}) / 2 | < V_{T1}$ とすることで、すでに書き込んだ画素の反射率を変化させることなく全画素に書き込むことができる。

【0028】上記書き込み方法を実現する駆動回路のブロック図を図12に例示する。フレームメモリ1は1画面分の表示データを格納する。タイミング回路2の出力に同期して、走査コントローラ8でリセット期間、選択期間、保持期間に相当する駆動信号を生成する。走査電極ドライバ9でこれをレベルシフトして駆動電圧を発生し、コレステリック表示素子10の走査電極群23へ印加する。一方、タイミング回路2の出力に同期して、フレームメモリ1から一走査線分ずつ表示データを読み出し、データコントローラ6でデータ信号を生成し、データ電極ドライバ7でレベルシフトして駆動電圧を発生し、コレステリック表示素子10のデータ電極群24へ印加する。

【0029】図9にFCR法における閾値電圧 V_{T3} および V_{T4} 、と本実施形態における閾値電圧 V_{T6} および V_{T7} とを比較して示す。本実施形態における閾値電圧 V_{T6} と V_{T7} は、それぞれFCR法における閾値電圧 V_{T3} と V_{T4} より低く、また V_{T6} と V_{T7} の差は V_{T3} と V_{T4} の差より小さい。このため選択電圧が一定であれば、本実施形態の方がより短い選択電圧印加時間で駆動できる。たとえば、選択電圧が最大で40Vに制限された場合、FCR法では選択時間 T_s は4.6ms以上にする必要があるが、本実施形態によれば1.9ms以上に設定すればよく、走査速度を2.4倍向上できる。また、同じ選択時間 T_s では選択電圧の変調幅が約1/2に低減できるため、クロストークが低減されて画質が向上できる。

【0030】<実施形態2>実施形態2のコレステリック液晶表示装置の画素への印加電圧波形は、F配向へ遷移させるためのリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる。具体的には、リセット期間 T_r は、図2(c)に示すように、
 1) 電圧 $V_{r\ h}$ を時間 $T_{r\ h}$ 印加してH配向へ遷移させる期間、
 2) 電圧 $V_{r\ l}$ を時間 $T_{r\ l}$ 印加してP配向への遷移を開始させる期間、
 3) 電圧 $V_{r\ f}$ を時間 $T_{r\ f}$ 印加してF配向へ遷移させる期間、
 4) 電圧 $V_{r\ l}$ を時間 $T_{r\ l}$ 印加してF配向への遷移を終了する期間、
 の4つの期間よりなる。走査電極へ印加する駆動電圧

(6)

9

は、図5示すにタイミング図のようになる。期間1)、2)は実施形態1と同様である。期間3)において電圧 $V_{r\ f}$ は $V_T\ 2$ 以上 $V_T\ 3$ 以下とする。時間 $T_{r\ f}$ はF配向へ十分に遷移する時間をとり、数十ms以上に選ばれる。

[0031] 実施形態1ではリセット期間中に全画面が明表示状態にリセットされ、その後、画面端から新しい画像が順次書き込まれるが、本実施形態ではリセット期間中に全画面が暗表示状態にリセットされ、その後、画面端から新しい画像が順次書き込まれるという、別の表示効果が得られる。

[0032] <実施形態3> 実施形態3のコレステリック液晶表示装置における走査電極へ印加する駆動電圧は、図6にタイミング図を示すように、P配向へ遷移させるためのリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる。各期間内の電圧印加の仕方は実施形態1と同様であるが、選択期間 T_s の長さだけずらしたタイミングで順次走査電極に駆動電圧を与えることが実施形態1と異なる。実施形態1では一旦全画面がリセットされた後に画面端から新しい画像が書き込まれるが、本実施例によれば前の画像を残したまま画面端から新しい画像が書き込まれるという、別の表示効果を得ることができる。

[0033] <実施形態4> 実施形態4のコレステリック液晶表示装置における走査電極へ印加する駆動電圧は、図7にタイミング図を示すように、F配向へ遷移させるためのリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる。各期間内の電圧印加の仕方は実施形態2と同様であるが、選択期間 T_s の長さだけずらしたタイミングで順次走査電極に駆動電圧を与えることが実施形態2と異なる。実施形態2では一旦全画面がリセットされた後に画面端から新しい画像が書き込まれるが、本実施例では前の画像を残したまま画面端から新しい画像が書き込まれるという、別の表示効果を得ることができる。

[0034] <実施形態5> 実施形態5のコレステリック液晶表示装置における走査電極へ印加する駆動電圧は、図8にタイミング図を示すように、H配向へ遷移させるためのリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる。リセット期間 T_r では、一旦H配向へ遷移させるために、図2(a)に示すように、 $V_T\ 4$ 以上の電圧 $V_{r\ h}$ を時間 $T_{r\ h}$ 印加する。つぎに選択期間では電圧 V_s として $V_T\ 6$ 以上 $V_T\ 7$ 以下の電圧を印加して、H配向へ遷移させるかTP配向へ遷移させるかを選択する。選択期間 T_s の長さは、H配向からTP配向への遷移時間以上とする。この時間は室温では通常1msもとれば十分である。

[0035] 保持期間 T_h は、交互に繰り返す高電圧印加期間と低電圧印加期間とからなる。高電圧印加期間では電圧 $V_{h\ h}$ を時間 $T_{h\ h}$ の間、低電圧印加期間では電

10

圧 $V_{h\ l}$ を時間 $T_{h\ l}$ の間印加する。 $V_{h\ l}$ は $V_T\ 1$ 以下に設定しそれとしてもよい。 $V_{h\ h}$ と $V_{h\ l}$ は保持期間 T_h における実効電圧が $V_T\ 5$ 以上 $V_T\ 3$ 以下となるように選ぶ。これによってH配向とF配向の双安定状態となり、H配向をH配向のまま、F配向をF配向のまま維持するとともにP配向をF配向へ遷移することができる。保持期間におけるH配向とF配向の双安定性を維持するために、 $T_{h\ l}$ はH配向からTP配向への遷移時間より短く設定する必要がある。本実施形態によれば、一般に実施形態1~4より選択時間 T_s を短く設定することが可能となり、書き換え時間を短縮することが可能である。

[0036] <実施形態6> 実施形態6のコレステリック液晶表示装置における走査電極へ印加する駆動電圧は、図3に電圧波形を示すように、P配向へ遷移させるためのリセット期間 T_r 、選択期間 T_s 、保持期間 T_h からなる。各期間内の電圧印加の仕方は基本的には実施形態1と同様であるが、走査電極への印加電圧として、リセット期間 T_r では期間 $T_{r\ h}$ で高電圧 V_h を印加した後に期間 $T_{r\ l}$ で低電圧 V_l を印加し、選択期間 T_s では高電圧 V_h を印加し、保持期間 T_h では高電圧 V_h と低電圧 V_l とを期間 $T_{h\ h}$ 、 $T_{h\ l}$ で交互に印加することが実施形態1と異なる。ここで $V_h = (V_T\ 6 + V_T\ 7) / 2$ として、 V_l は $V_T\ 1$ 以下であればゼロでもよい。本実施形態によれば、走査電極に印加する駆動電圧を V_h と V_l の2値にできるため、走査電圧回路が簡略化されて低コスト化できる。

[0037] 図11に選択期間にデータ電極に印加するデータ電圧に対する反射率の変化を例示する。データ電圧が-2Vから+2Vの範囲で良好に書き込むことができた。 $V_h = 3.8\ V$ 、 $V_l = 0$ である。選択期間 T_s の長さは $V_h = (V_T\ 6 + V_T\ 7) / 2$ となるように定め、この場合、 $T_s = 2\ ms$ とした。同じコレステリック液晶表示素子10をFCR法で書き込んだ場合、実施形態1で述べたように T_s は4.6ms必要なので、 T_s は1/2.3に短縮できたことになる。

[0038] <実施形態7> 実施形態7のコレステリック液晶表示装置は、コレステリック液晶をプレーナ配向に遷移させるためのリセット期間、液晶の最終的な配向状態を決定するための選択期間、および最終的な配向状態への遷移を補助するための保持期間を備えた駆動電圧を順次印加して、コレステリック液晶表示素子に表示内容の書き込みを行う。図19に示されるように、閾電圧 $V_T\ 4$ は初期配向がF配向時よりP配向時の方が低い。駆動電圧が等しければ閾電圧 $V_T\ 4$ が低いほど短い電圧印加時間でH配向への遷移が可能となるので、初期配向をP配向にすることによって書き換え時間の短縮が可能となる。しかしながら、P配向からF配向への遷移時間の方が、P配向からH配向への遷移時間より長いため、書き換え時間を短縮しただけではF配向への遷移が不十

(7)

11

分となる。そこで選択期間の後に保持期間を設けて、この間にF配向へ遷移させることで、F配向への遷移を確実にしてかつ書き換え時間を短縮することを可能とする。

【0039】本発明に用いられるコレステリック液晶表示素子は、走査電極群23とデータ電極群24をそれぞれ設けた2枚の基板11、12の間にコレステリック液晶30を挟持してなり、観察側と反対面に選択波長を吸収する光吸収層41を設けたものである。基板11、12としてはガラスや、ポリカーボネート、ポリエチレンテレフタレート、ポリエーテルスルファン、ポリオレフィンなどの樹脂など透光性誘電体が使用できる。走査電極群23とデータ電極群24としては、ITO (Indium Tin Oxide)、SnO₂、ZnO:A1等の導電性酸化物や、ポリピロールやポリアニリン等の導電性樹脂など透光性導電部材を用いる。これらは蒸着法、スペッタリング法、イオンプレーティング法、ソルゲル法、コーティング法、印刷法、電着法などで成膜できる。透光性導電部材は印刷法などで成膜時にパターンングするが、成膜後、リソグラフィ法などを用いて所望の形状に加工して用いる。

【0040】コレステリック液晶30は、シアノビフェニル系、フェニルシクロヘキシル系、フェニルベンゾエート系、シクロヘキシルベンゾエート系、アゾメチジン系、アゾベンゼン系、ピリミジン系、ジオキサン系、シクロヘキシルシクロヘキサン系、トラン系などのネマチック液晶組成物に、コレステロール誘導体や2-メチルブチル基などの光学活性基を有する化合物からなるカイラル化合物を添加したものや液晶性カイラル化合物を利用できる。コレステリック液晶30は高分子マトリクス中に分散したものや、高分子ゲル化したものや、カプセル化したものでもよい。また、高分子液晶、中分子液晶、低分子液晶のいずれでもよく、またこれらの混合物でもよい。コレステリック液晶30の選択反射波長は400~800nmの間の可視波長域にあるものだけでなく、近赤外波長域にある散乱-透過型のコレステリック液晶表示装置に対しても上記駆動方法は適用できる。セルギャップは通常2~20μmの範囲とする。セルギャップdとコレステリック液晶30の螺旋ピッチPとの比d/P=2~30とする。

【0041】コレステリック液晶30と走査電極群21とデータ電極群22との間にはポリイミドなどの樹脂、SiOなどの無機蒸着膜、シラン系やアンモニア系表面改質剤を配向膜として設けてもよい。光吸収層41は選択反射波長帯を吸収するものを用いるが、その色調は表示効果に鑑みて適宜選択できる。材料としては染料や顔料を含む塗料や、金属や金属酸化膜などの蒸着膜を用いることができる。上記実施形態では一度に一走査電極だけを選択する例を示したが、走査電極群の複数の走査電極を同時に選択することにより、書き換え時間をさらに

短縮することができる。

【0042】以上のように、本発明では、リセット期間ではリセット電圧を印加して初期配向に遷移させて前の画像を消去する。初期配向はP配向、F配向、H配向のいずれでもよい。選択期間では最終的な配向状態を決定するための電圧を印加し、H配向、F配向、またはTP配向に遷移させる。つぎに保持期間では最終的な配向状態への遷移を補助するための電圧を印加する。保持期間ではH配向とF配向とを双安定状態にするバイアス電圧を印加し、それによってH配向はH配向のまま、F配向はF配向のまま維持し、TP配向はF配向へ遷移せしめる。保持期間のこの作用は従来のDDS法における保持期間と同様であるが、その波形を従来の一定の波高値を有する波形ではなく、高電圧印加期間と低電圧印加期間とを交互に繰り返す波形とすることによって、双安定状態の安定性を低下せしめ、それによってより低電圧で、かつわずかな選択電圧の変調によって、H配向またはF配向へ選択的に遷移させることが可能となる。これは、選択電圧が一定であればより短い選択電圧印加時間で駆動できることを意味し、これにより書き込み時間の短縮が可能となる。また、選択電圧の変調幅が低減できるため、クロストークが低減でき画質を向上することができる。

【0043】

【発明の効果】本発明によれば、低電圧で高速に書き換え可能で、かつクロストークが少ないコレステリック液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1における画素への印加電圧波形を示す図である。

【図2】(a)~(c)はそれぞれ本発明におけるリセット電圧波形を示す図である。

【図3】本発明の実施形態6における走査電圧波形を示す図である。

【図4】本発明の実施形態1における走査電圧の印加タイミング図である。

【図5】本発明の実施形態2における走査電圧の印加タイミング図である。

【図6】本発明の実施形態3における走査電圧の印加タイミング図である。

【図7】本発明の実施形態4における走査電圧の印加タイミング図である。

【図8】本発明の実施形態5における走査電圧の印加タイミング図である。

【図9】本発明と従来のFCR法における選択時間に対する閾値電圧の変化を示す図である。

【図10】本発明における双安定性電圧領域の低電圧期間の長さに対する依存性を示す図である。

【図11】本発明の実施形態6におけるデータ電圧-反射率特性の一例を示す図である。

(8)

13

【図12】本発明のコレステリック液晶表示装置における駆動回路の一例をブロック図である。

【図13】従来のFCR法における走査電圧の印加タイミング図である。

【図14】従来のDDS法における走査電圧の印加タイミング図である。

【図15】(a)～(c)はそれぞれコレステリック液晶の配向状態を説明するための断面図である。

【図16】コレステリック液晶表示素子の一例を示す断面図である。

【図17】単純マトリクスパネルの一例を示す平面図である。

【図18】電圧一反射率特性を測定時の印加波形と測定タイミングの説明図である。

【図19】コレステリック液晶の電圧一反射率特性を示す図である。

【図20】初期配向がF配向時の電圧一反射率特性の電圧印加時間による変化を説明するための図である。

【図21】初期配向がP配向時の電圧一反射率特性の電圧印加時間による変化を説明するための図である。

(14)

【図22】従来のDDS法における印加電圧の時系列パターンを示す図である。

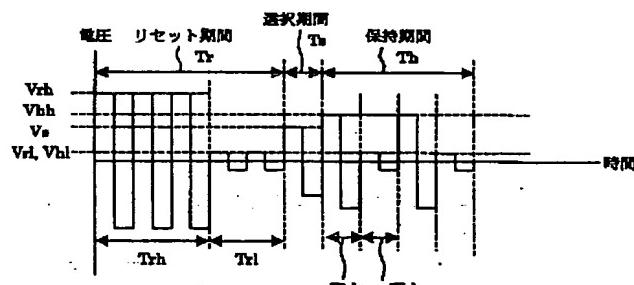
【図23】初期配向がH配向およびP配向時の電圧一反射率特性を示す図である。

【図24】DDS法における選択電圧一反射率特性を示す図である。

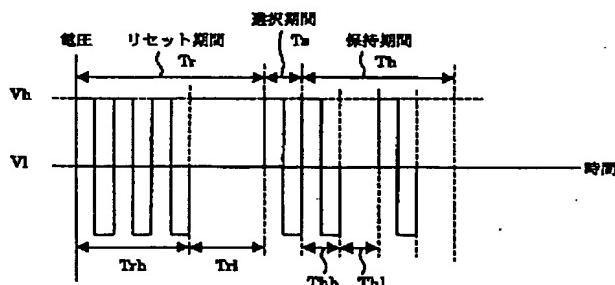
【符号の説明】

- 1 フレームメモリ
- 2 タイミング回路
- 6 データコントローラ
- 7 データ電極ドライバ
- 8 走査コントローラ
- 9 走査電極ドライバ
- 10 コlesteric液晶表示素子
- 11、12 基板
- 21、22 透明電極
- 23 走査電極群
- 24 データ電極群
- 30 コlesteric液晶
- 41 光吸収層

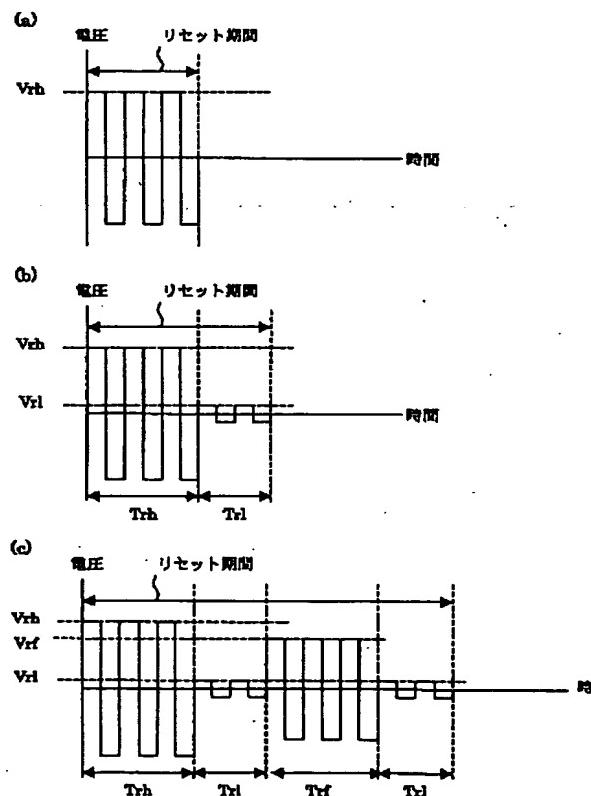
【図1】



【図3】

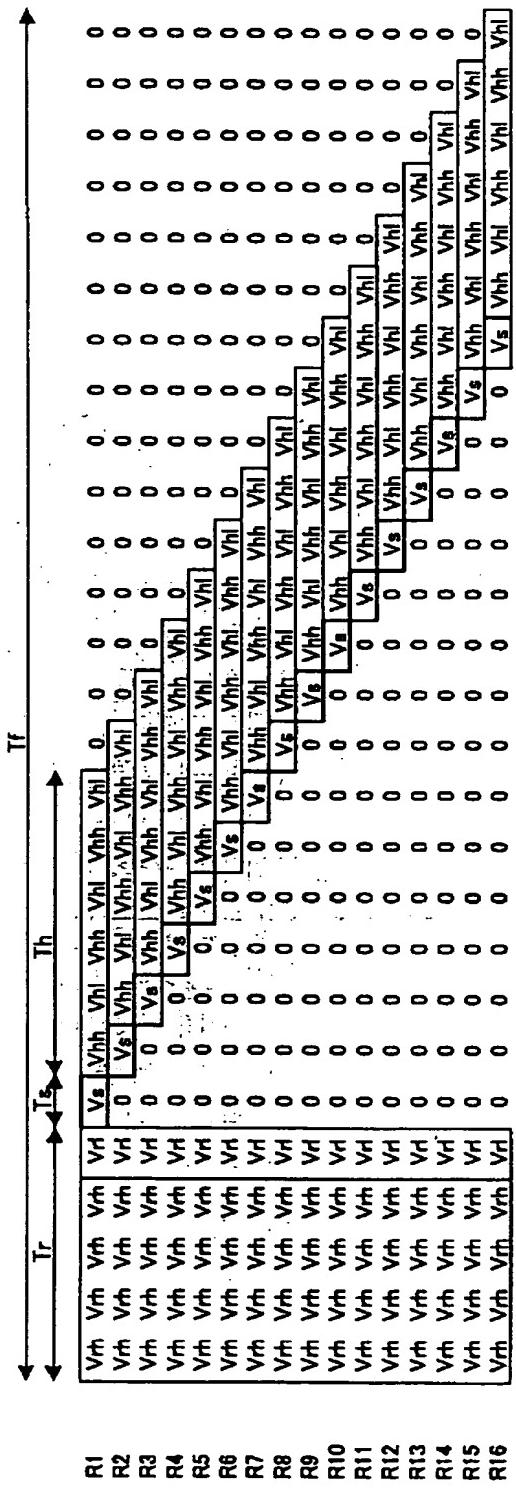


【図2】

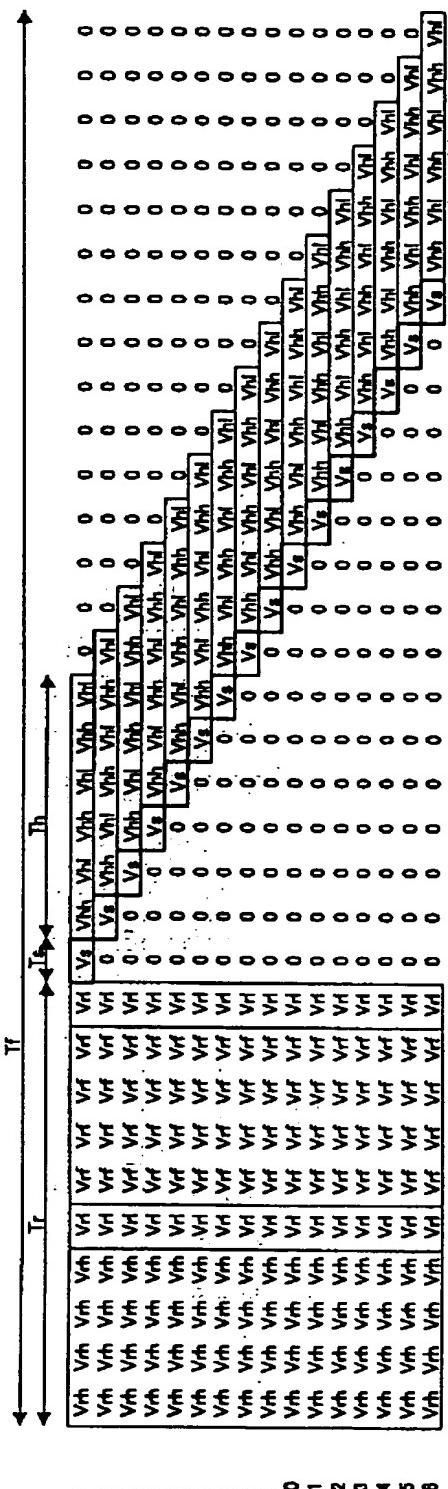


(9)

【図4】

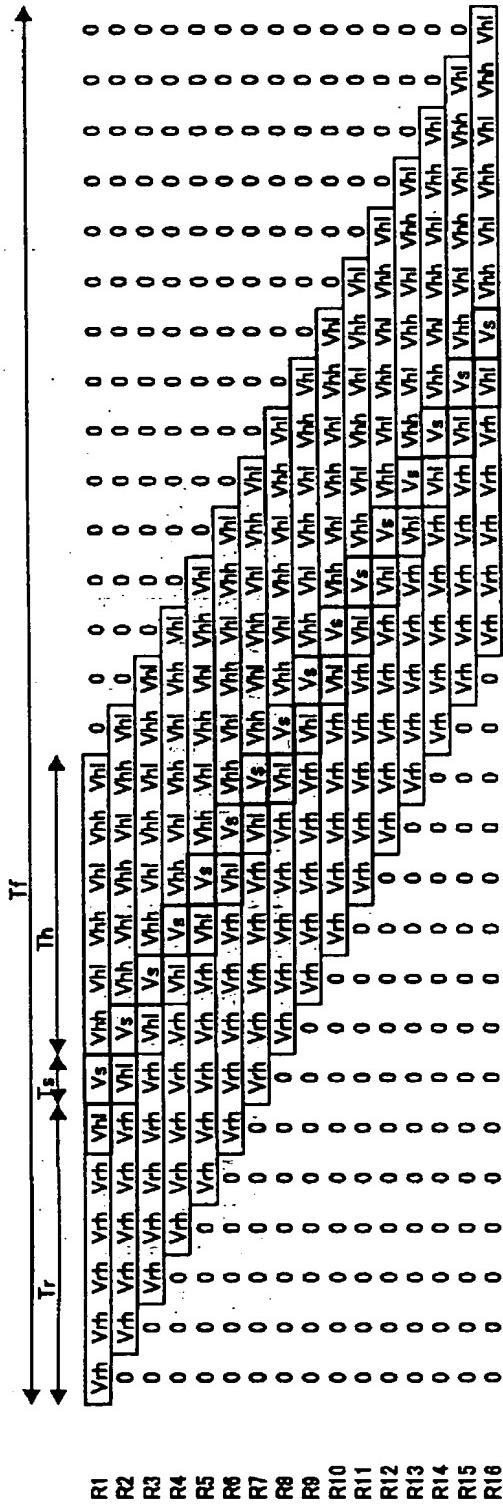


【図5】

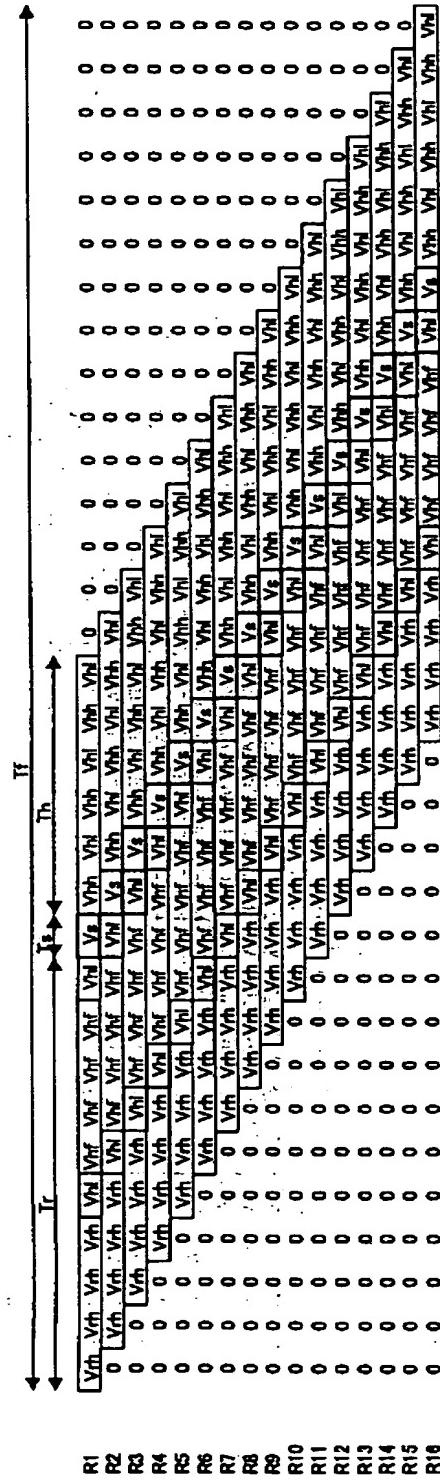


(10)

【図6】

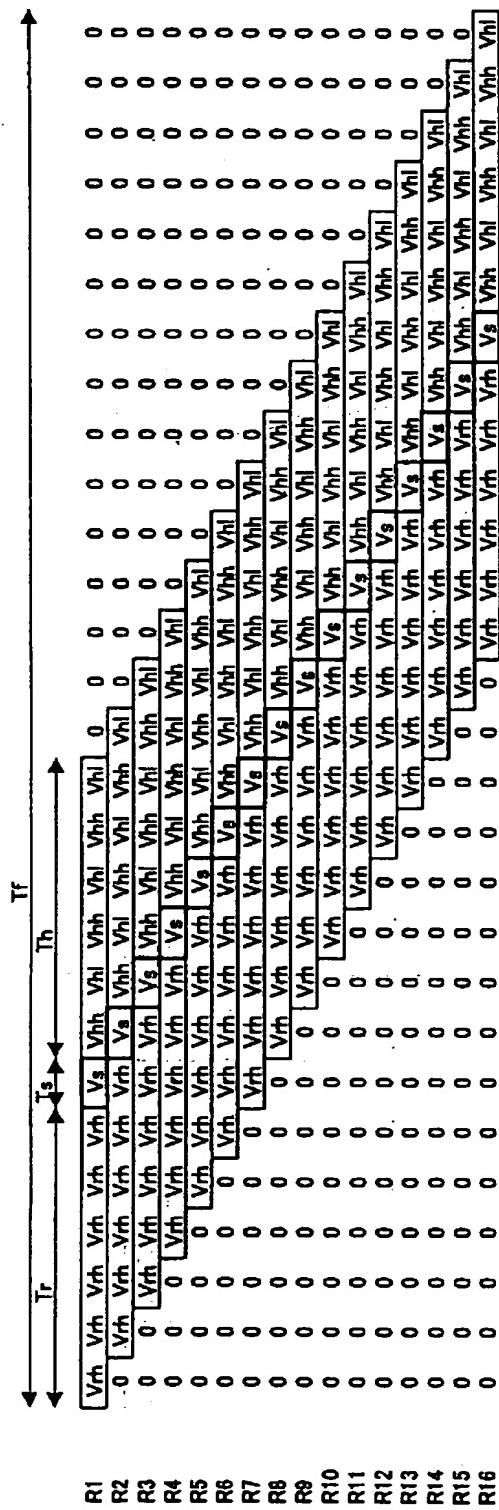


【図7】

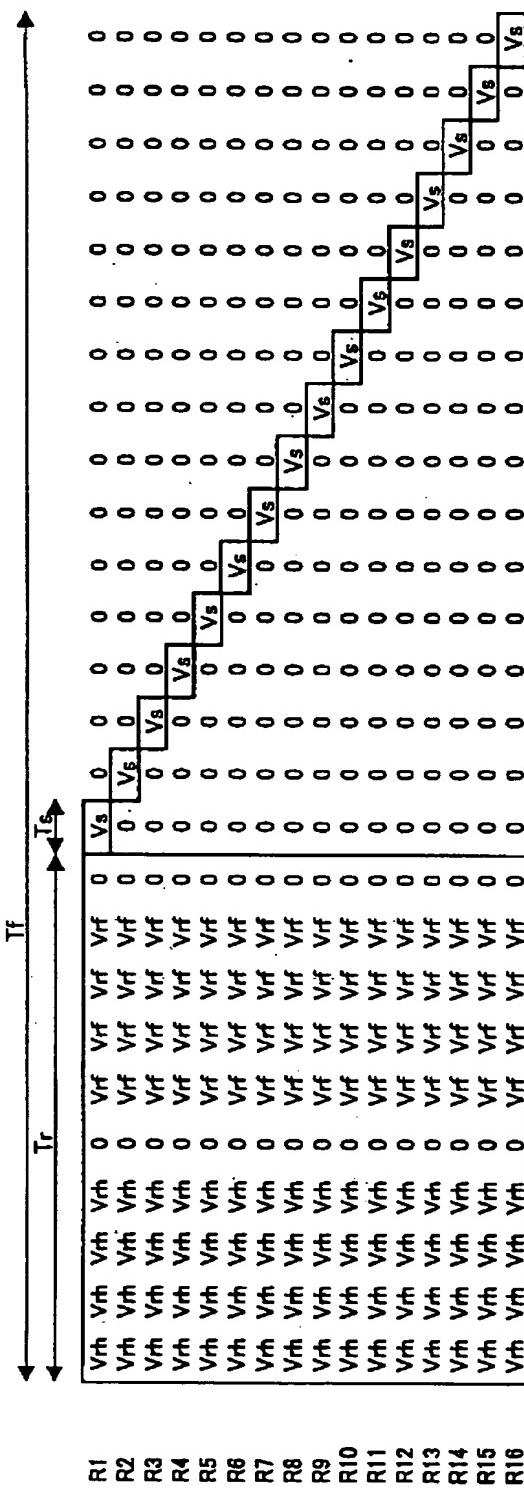


(11)

【図8】

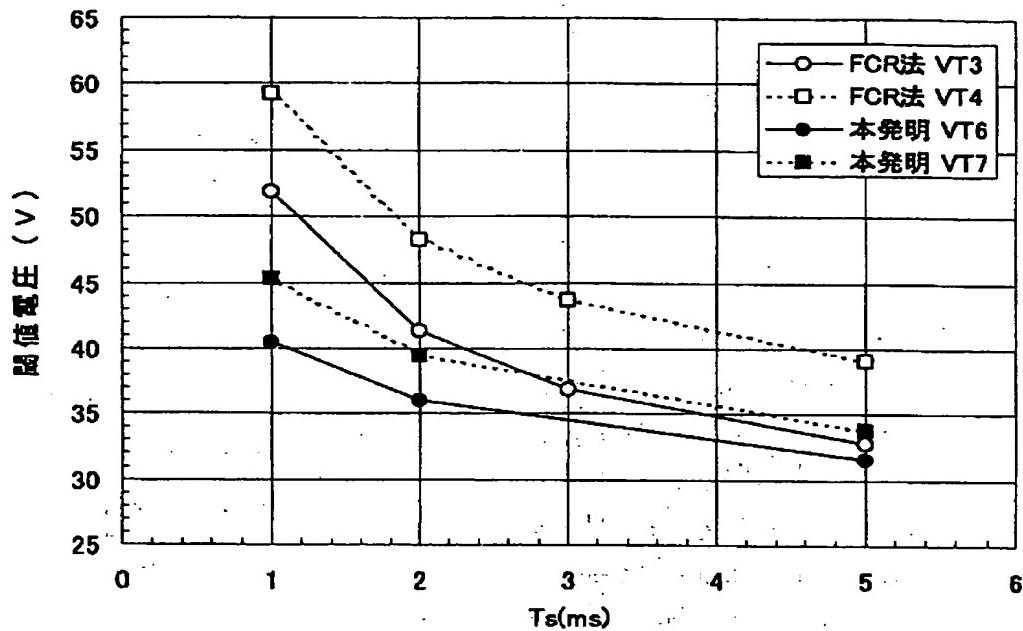


【図13】

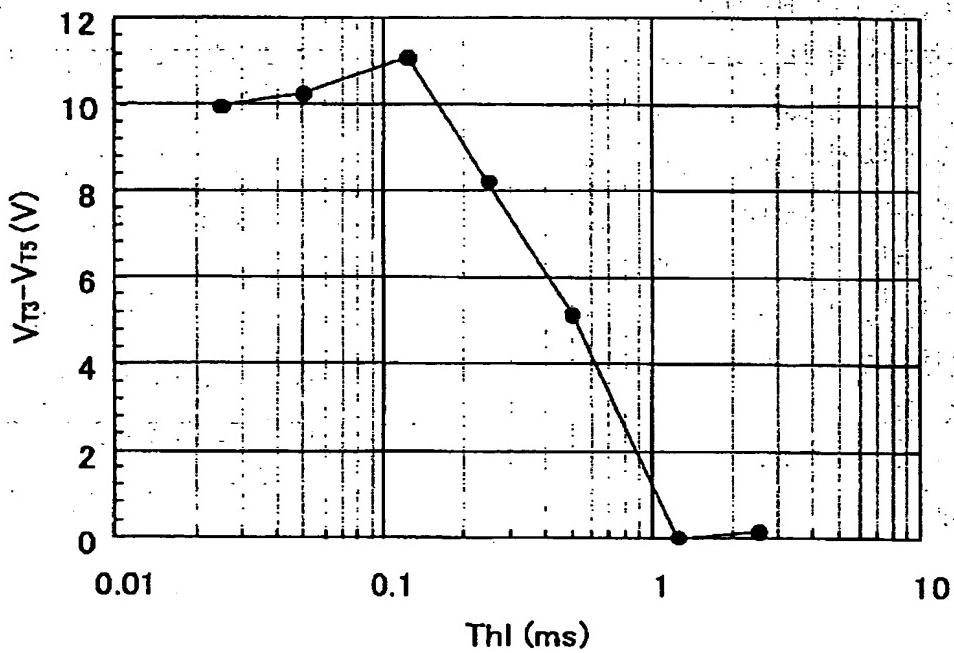


(12)

【図9】

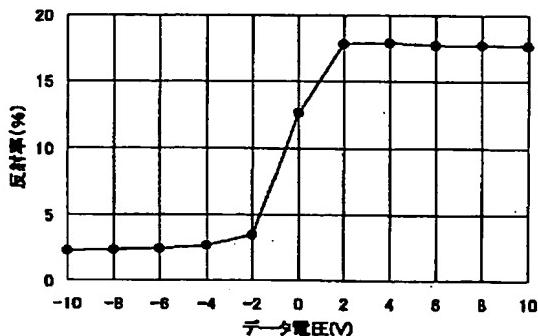


【図10】

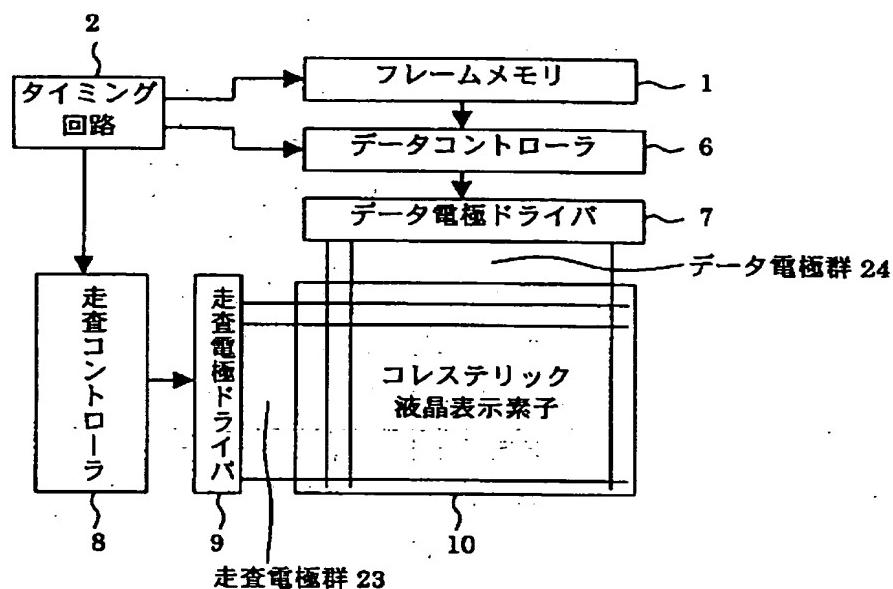


(13)

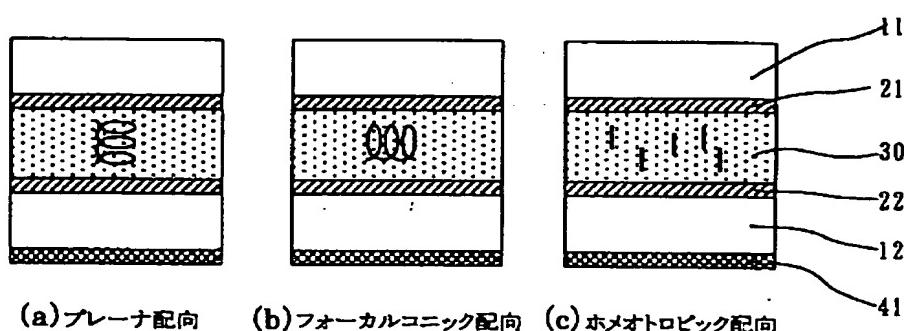
【図11】



【図12】

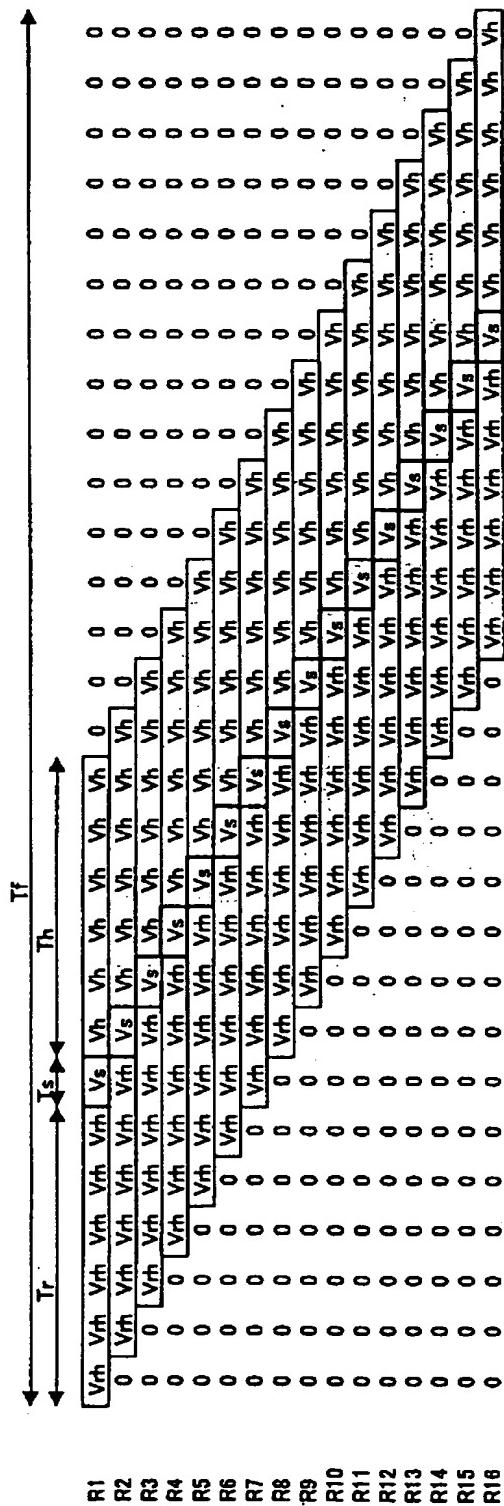


【図15】



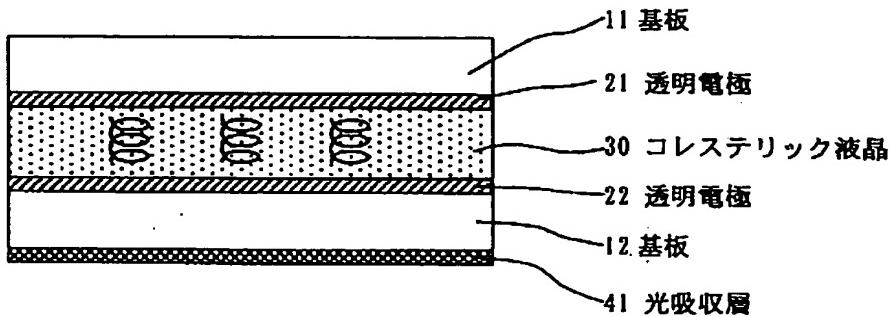
(14)

【図14】



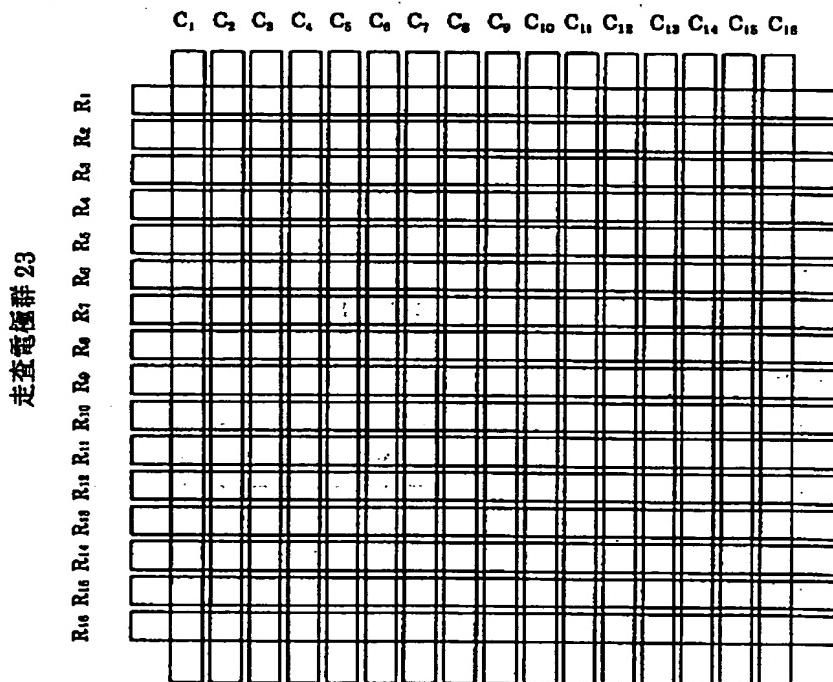
(15)

【図16】

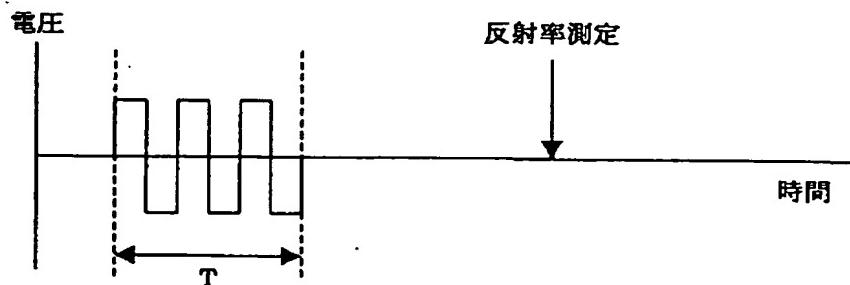


【図17】

データ電極群 24

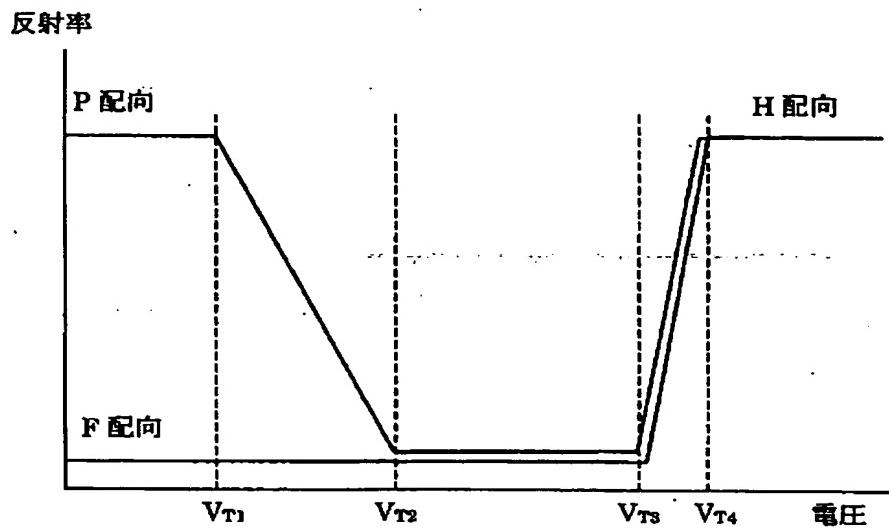


【図18】

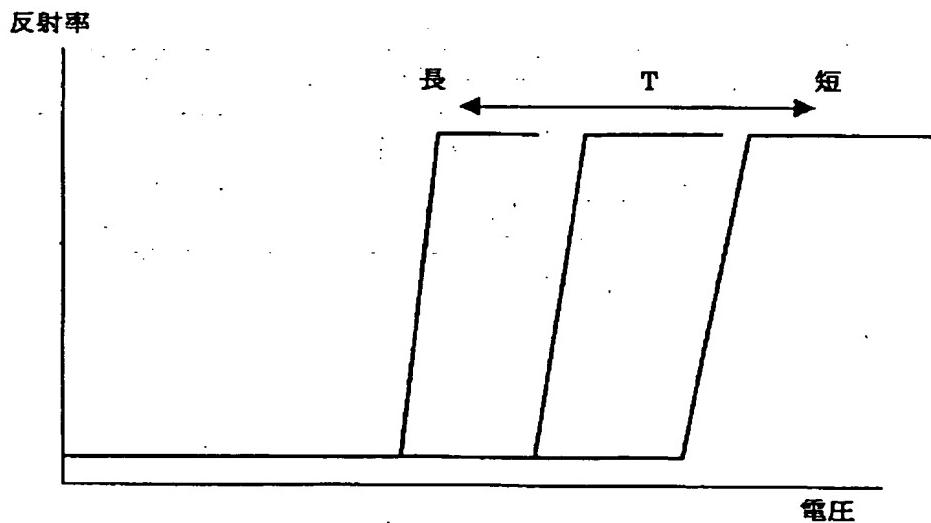


(16)

【図19】

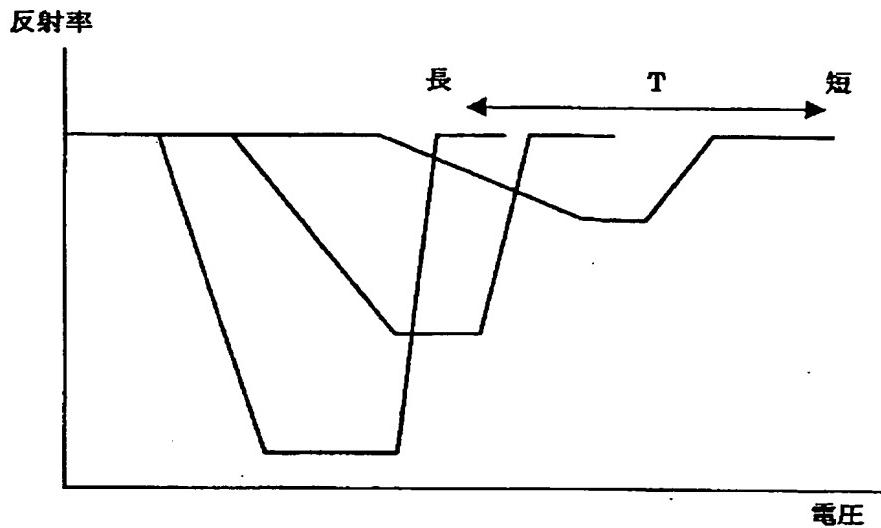


【図20】

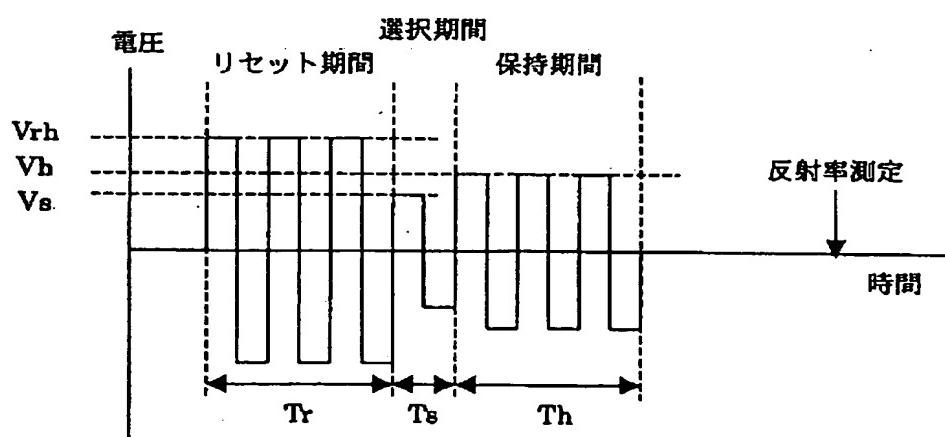


(17)

【図21】

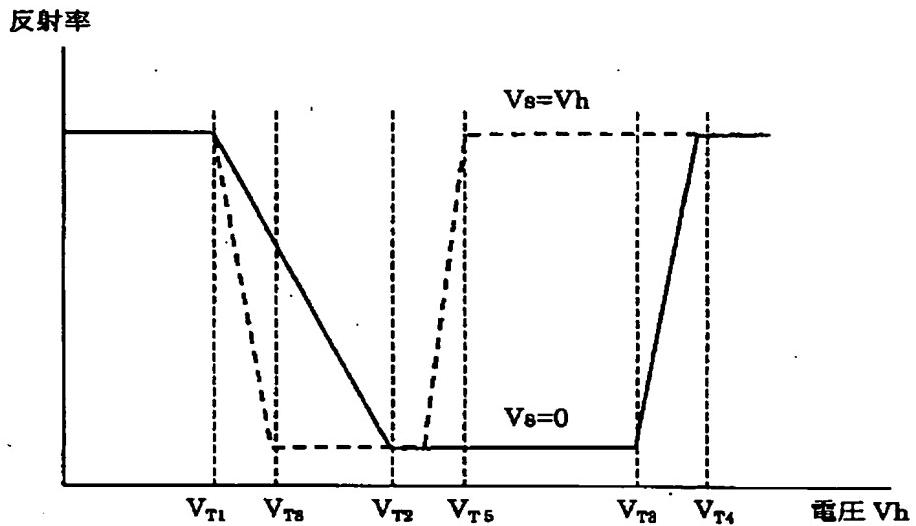


【図22】

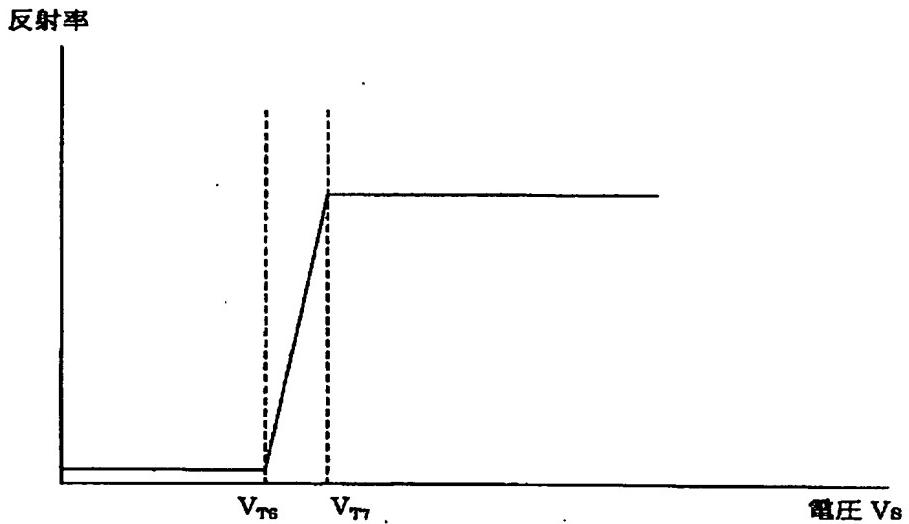


(18)

【図23】



【図24】



フロントページの続き

(72)発明者 曜地 丈人

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内F ターム(参考) 2H093 NA11 ND32 ND60 NE04 NF14
NF16 NF28

(72)発明者 鈴木 貞一

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内5C006 AA02 AA03 AC24 AF33 AF42
BA00 BA11 BB12 BB28 BC11
BF02 FA12
5C080 AA10 BB05 DD08 EE26 FF09
GG02 GG12 JJ02 JJ04 JJ05
JJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.